

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-064181

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 2000-247763

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.08.2000

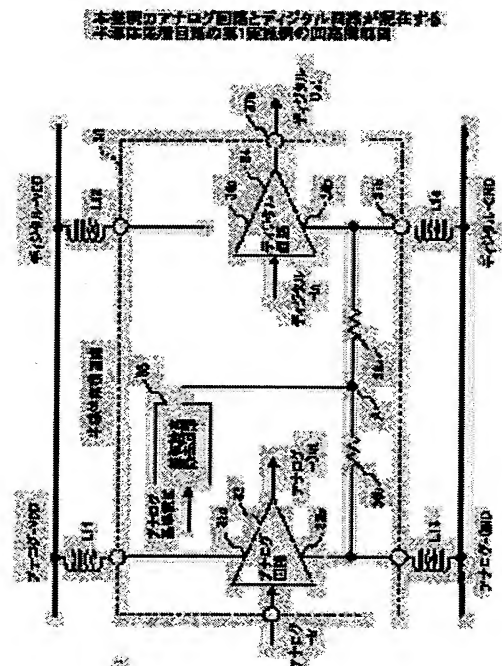
(72)Inventor : IDE SATOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit where a crosstalk through a semiconductor substrate is reduced, resulting in shorter distance between circuit blocks, with no increase in a chip area and a cost.

SOLUTION: A substrate noise removing circuit 38 is provided which positively controls the electric potential of a semiconductor substrate so that leaking of the noise of a power source or a ground of a first circuit block 34 into another second circuit block 32 is offset. Thus, a crosstalk through the semiconductor substrate is reduced, resulting in shorter distance between the circuit blocks, with no increase in chip area and cost.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-64181

(P2002-64181A)

(43)公開日 平成14年2月28日(2002.2.28)

(51)Int.Cl.⁷

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テ-マコ-ト*(参考)

F 5 F 0 3 8

審査請求 未請求 請求項の数5 O L (全 15 頁)

(21)出願番号 特願2000-247763(P2000-247763)

(22)出願日 平成12年8月17日(2000.8.17)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 井出 聡

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

Fターム(参考) 5F038 AR30 AZ06 BB08 DF06 DF12
EZ20

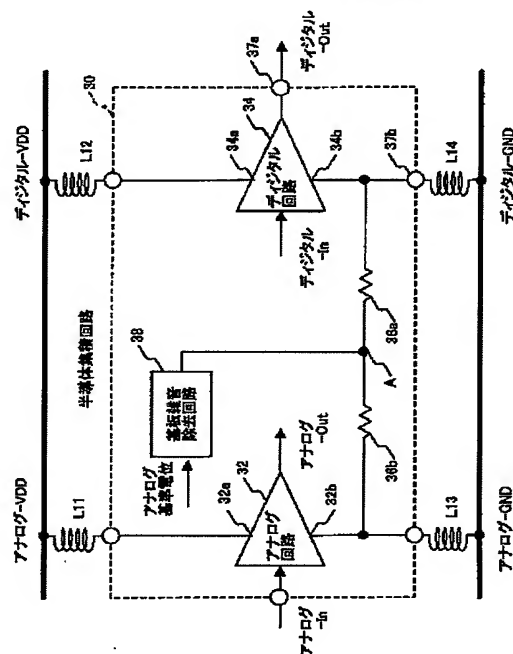
(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 本発明は、半導体基板を介したクロストークを低減することができ、回路ブロック間の距離を大きく取る必要がなく、チップ面積及びコストの増大を生じることのない半導体集積回路を提供することを目的とする。

【解決手段】 雑音を発生する第1の回路ブロック34のグランドまたは電源の雑音が、他の第2の回路ブロック32に漏れ込むのを相殺するように半導体基板の電位を能動的に制御する基板雑音除去回路38を有することにより、半導体基板を介したクロストークを低減することができ、回路ブロック間の距離を大きく取る必要がなく、チップ面積及びコストの増大を生じることがない。

本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第1実施例の回路構成図



【特許請求の範囲】

【請求項 1】 複数の回路ブロックを 1 つの半導体基板上に共通に形成した半導体集積回路において、雑音を発生する第 1 の回路ブロックのグランドまたは電源の雑音が、他の第 2 の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御する基板雑音除去回路を有することを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、前記基板雑音除去回路は、前記第 2 の回路ブロックからの基準電位に基づいて前記半導体基板の電位をフィードバック制御することを特徴とする半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路において、前記基板雑音除去回路は、前記第 1 の回路ブロックからの第 1 の基準電位と前記第 2 の回路ブロックからの第 2 の基準電位との誤差に基づいて前記半導体基板の電位をフィードフォワード制御することを特徴とする半導体集積回路。

【請求項 4】 請求項 3 記載の半導体集積回路において、前記基板雑音除去回路の出力を前記半導体基板に供給する結合度を制御する結合度制御回路を有することを特徴とする半導体集積回路。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の半導体集積回路において、前記半導体基板は、高抵抗基板であることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、アナログ回路とデジタル回路とが混在する半導体集積回路に関する。

【0002】

【従来の技術】近年、システム・オン・チップを目指した半導体集積回路の高集積化が進む中、フロントエンドのアナログ回路も含めてデジタル回路に混載した高機能の半導体集積回路の開発が進んでいる。

【0003】図 1 は、従来のアナログ・デジタル混在の半導体集積回路の一例の回路構成図を示す。同図中、半導体集積回路 10 には、アナログ回路 12 とデジタル回路 14 とが混載されている。このアナログ回路 12 とデジタル回路 14 間には半導体基板による基板抵抗 16 が存在する。アナログ回路 12、デジタル回路 14 は、パッケージやボンディングワイヤに相当するインダクタンス成分 L1～L4 を介して電源 VDD 及びグランド GND に接続されている。

【0004】アナログ回路 12 は、微小な入力信号をデジタル信号に変換するフロントエンド部であり、例え

ば、光通信用 IC おける光受信回路であったり、信号処理用 IC におけるアナログ／デジタル変換回路に相当する。デジタル回路は、アナログ回路からの供給される信号を処理して外部に出力する。図中、簡略化のためにアナログ回路 12 とデジタル回路 14 の接続関係は省略している。

【0005】図 2 (A) はデジタル回路 14 が端子 17 から出力する信号波形を示し、図 2 (B) はデジタル回路 14 の接地端子 18 の電圧波形を示す。また、図 2 (C) はアナログ回路 12 の入力信号波形を示し、図 2 (D) はアナログ回路の出力信号波形を示す。但し、アナログ回路 12 への影響を明確にするため、デジタル回路 14 のみ動作し、端子 19 からアナログ回路 12 に信号を入力してはいない。デジタル回路 14 が動作することにより、アナログ回路 12 へのクロストークが発生し、この結果、無入力であるにも関わらずアナログ回路 12 が雑音を発生している。

【0006】

【発明が解決しようとする課題】図 3 は CMOS 半導体集積回路のデバイス構造を表す断面図、図 4 はその等価回路図を示す。図 3、図 4 において、図 1 と同一部分には同一符号を付す。図 3、図 4 において、デジタル回路 14 を構成するトランジスタ 24 のグランド GND a と、アナログ回路 12 を構成するトランジスタ 22 のグランド GND b は、P 型半導体基板の基板抵抗 16 を介して接続されている。このような P 型半導体基板の結合により、デジタル回路 14 で発生した電源またはグランドの雑音は基板抵抗 16 を介してアナログ回路 12 のグランドに漏れ込むことによりクロストークを発生する。

【0007】また、クロストークの原因となる電源またはグランドの雑音は、インダクタンス L1～L4 が主要因であるため、高周波成分ほど増大する傾向にある。電源に関しては図 3 に示す N 型ウエル 23、25 で絶縁されているものの、N 型ウエル 23、25 と P 型半導体基板間の接合容量（図 4 では C1、C2 で示す）が大きいいため、クロストークで問題となる雑音の高周波成分に対しては、インピーダンスが低く絶縁性が低い。なお、C3～C6 は入出力端子と電源またはグランド間の容量、或いは入出力端子の保護素子の寄生容量である。

【0008】こうしたクロストークは本来小さなものであるが、クロストークは高周波成分が大きいことから半導体集積回路の高速化に伴い問題が顕在化する。更に、微小な入力信号を扱うアナログ回路の高感度化のために利得の大きいアンプを用いる場合には、クロストークはアンプで増幅されて出力に現れるので無視できないものとなる。このように、アナログ回路とデジタル回路が混在する半導体集積回路においては、半導体基板を介したクロストークにより、デジタル回路の雑音がアナログ回路に漏れ込み、アナログ回路の高速化及び高感度化

を阻害するという課題があった。

【0009】なお、こうした半導体基板を介したクロストークはアナログ回路とデジタル回路間の距離を大きくとれば抑制することが可能であるが、この対策はチップ面積の増大を招き、コスト増大につながるという課題があった。

【0010】本発明は、上記の点に鑑みなされたものであり、半導体基板を介したクロストークを低減することができ、回路ブロック間の距離を大きく取る必要がなく、チップ面積及びコストの増大を生じることのない半導体集積回路を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御する基板雑音除去回路を有することにより、半導体基板を介したクロストークを低減することができる。

【0012】請求項2に記載の発明では、基板雑音除去回路は、前記第2の回路ブロックからの基準電位に基づいて前記半導体基板の電位をフィードバック制御することにより、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御することが可能となる。

【0013】請求項3に記載の発明は、基板雑音除去回路は、前記第1の回路ブロックからの第1の基準電位と前記第2の回路ブロックからの第2の基準電位との誤差に基づいて前記半導体基板の電位をフィードフォワード制御することにより、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御することが可能となる。

【0014】請求項4に記載の発明は、基板雑音除去回路の出力を前記半導体基板に供給する結合度を制御する結合度制御回路を有することにより、結合度の変化に対応して結合度を能動的に制御してクロストークを低減することができる。

【0015】請求項5に記載の発明では、半導体基板を、高抵抗基板とすることにより、更にクロストークを低減することができる。

【0016】付記6に記載の発明では、結合度制御回路は、温度センサを有し、前記温度センサの検出温度に応じて前記結合度を制御することにより、温度変動による結合度の変化に対応して結合度を能動的に制御できる。

【0017】付記7に記載の発明では、結合度制御回路は、前記第2の回路ブロックの出力に含まれる雑音を検出する雑音検出回路を有し、前記雑音検出回路の検出値に応じて前記結合度を制御することにより、雑音によって結合度の変化を検出し、これに対応して結合度を能動的に制御できる。

的に制御できる。

【0018】付記11に記載の発明では、第1の回路ブロックは、デジタル回路であり、第2の回路ブロックは、アナログ回路であることにより、アナログ回路とデジタル回路間の距離を大きく取る必要がなく、チップ面積及びコストの増大が生じることがなく、容易にアナログ回路とデジタル回路が混在する半導体集積回路を実現することができる。

【0019】

【発明の実施の形態】図5は、本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第1実施例の回路構成図を示す。

【0020】同図中、半導体集積回路30には、アナログ回路32とデジタル回路34とが混載されている。このアナログ回路32とデジタル回路34間には半導体基板による基板抵抗36a、36bが存在する。アナログ回路32の電源端子32a、接地端子32bは、パッケージやボンディングワイヤに相当するインダクタンス成分L11、L12を介して電源VDD、グランドGNDに接続されており、デジタル回路34の電源端子34a、接地端子34bは、パッケージやボンディングワイヤに相当するインダクタンス成分L13、L14を介して電源VDD、グランドGNDに接続されている。

【0021】アナログ回路32は、微小な入力信号をデジタル信号に変換する高感度のフロントエンド部であり、例えば、光通信用ICにおける光受信回路であったり、信号処理用ICにおけるアナログ／デジタル変換回路に相当する。デジタル回路は、アナログ回路からの供給される信号を処理して外部に出力する。なお、図中では簡略化のためにアナログ回路32とデジタル回路34の接続関係は省略している。

【0022】基板雑音除去回路38は、アナログ回路32の基準電位を供給され、この基準電位に基づいて出力端子が接続された半導体基板の基板抵抗36a、36bの接続点であるA点における電位をフィードバック制御する。これにより、アナログ回路32での基板雑音が少なくなるように、半導体基板のA点の電位が制御される。このため、制御される半導体基板のA点はデジタル回路34に近い位置が好ましい。

【0023】図6は、基板雑音除去回路38の第1実施例の回路構成図を示す。同図中、図5と同一部分には同一符号を付す。図6において、基板雑音除去回路38内のバイアス回路40は、負電極をアナログ回路32の接地端子32bに接続され、正電極を演算増幅器42の非反転入力端子に接続されており、演算増幅器42の非反転入力端子に所定電圧だけバイアスされた接地端子32bの電位が供給される。演算増幅器42は、出力端子を反転入力端子に接続されてボルテージフォロアを構成している。演算増幅器42の出力端子は、コンデンサ44を介して基板抵抗36a、36bの接続点であるA点に

接続されている。

【0024】これにより、アナログ回路32の接地端子32bの雑音が最小となるようフィードバック制御が行われる。なお、クロストーク成分は高周波数のみで問題となるため、演算増幅器42出力をコンデンサ44を用いてA点に容量結合し、低周波数成分を遮断している。なお、演算増幅器42に直流を駆動する能力があれば、容量を削除して直流結合できることは言うまでもない。

【0025】図7は、基板雑音除去回路38の第2実施例の回路構成図を示す。これは基準電位をアナログ回路32の電源端子32aから取った実施例である。同図中、図6と同一部分には同一符号を付す。図7において、基板雑音除去回路38内のバイアス回路40は、正電極をアナログ回路32の電源端子32aに接続され、負電極を演算増幅器42の非反転入力端子に接続されており、演算増幅器42の非反転入力端子に所定電圧だけバイアスされた接地端子32bの電位が供給される。演算増幅器42は、出力端子を反転入力端子に接続されてボルテージフォロアを構成している。演算増幅器42の出力端子は、コンデンサ44を介して基板抵抗36a、36bの接続点であるA点に接続されている。

【0026】これにより、アナログ回路32の電源端子32aの雑音が最小となるようフィードバック制御が行われる。電源VDDは、N型ウェルとP型半導体基板間の接合容量によって、高周波的にグラウンドGNDと強く結合しているため、図6の実施例と同様の効果が得られる。

【0027】図8(A)は、図5に示すデジタル回路34が端子37aから出力する信号波形を示し、図8(B)はデジタル回路34の接地端子37bの電圧波形を示す。また、図8(C)はアナログ回路32の入力信号波形を示し、図8(D)はアナログ回路32の出力信号波形を示す。但し、アナログ回路32への影響を明確にするため、デジタル回路34のみ動作し、端子37cからアナログ回路32に信号を入力してはいない。

【0028】図8(A)～(D)の本発明の波形を図2(A)～(D)の従来の波形と比較すると、デジタル回路34の出力端子37a及び接地端子37bの雑音は同じであるにも拘わらず、アナログ回路32へのクロストークが大幅に低減されていることが明らかである。

【0029】図9は、本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第2実施例の回路構成図を示す。同図中、半導体集積回路50には、アナログ回路52とデジタル回路54とが混載されている。このアナログ回路52とデジタル回路54間には半導体基板による基板抵抗56a、56bが存在する。アナログ回路52の電源端子52a、接地端子52bは、パッケージやボンディングワイヤに相当するインダクタンス成分L21、L22を介して電源VDD、グラウンドGNDに接続されており、デジタル回路54の電源端子

54a、接地端子54bは、パッケージやボンディングワイヤに相当するインダクタンス成分L23、L24を介して電源VDD、グラウンドGNDに接続されている。アナログ回路52は、微小な入力信号をデジタル信号に変換する高感度のフロントエンド部である。

【0030】基板雑音除去回路58は、アナログ回路52の基準電位とデジタル回路54の基準電位を供給され、両基準電位に基づいて出力端子が接続された半導体基板の基板抵抗56a、56bの接続点であるB点における電位をフィードフォワード制御する。これにより、アナログ回路52での基板雑音が少なくなるように、半導体基板のB点の電位が制御される。フィードバック制御ではきめ細かい制御が可能であるものの高速化に限界があり、フィードフォワード制御を用いることにより高速制御が可能となる。

【0031】図10は、基板雑音除去回路58の第1実施例の回路構成図を示す。同図中、図9と同一部分には同一符号を付す。図10において、基板雑音除去回路58内のバイアス回路60の負電極はアナログ回路52の接地端子52bに接続され、正電極は抵抗R2を介して差動増幅器62の反転入力端子に接続され、バイアス回路61の負電極はデジタル回路54の接地端子54bに接続され、正電極は抵抗R1を介して差動増幅器62の非反転入力端子に接続されており、差動増幅器62の反転入力端子及び非反転入力端子には所定電圧だけバイアスされた接地端子52b、54bそれぞれの電位が供給される。

【0032】また、差動増幅器62の反転入力端子は抵抗R3を介して反転出力端子に接続され、非反転入力端子は抵抗R4を介してアナログ回路52の接地端子52bに接続され負帰還増幅回路を構成する。差動増幅器62の非反転出力端子はコンデンサ64及び抵抗65を介して基板抵抗56a、56bの接続点であるB点に接続されている。

【0033】これにより、デジタル回路54の接地端子54bにおける雑音の一定倍がB点の基板電位に加算され、フィードフォワード制御が行われる。この場合の基板への結合度は、差動増幅器62の利得と抵抗65の抵抗値により決定され、半導体基板の減衰率、即ち基板抵抗56a、56bの抵抗値に応じて上記利得及び抵抗値を設計する。

【0034】図11は、基板雑音除去回路58の第2実施例の回路構成図を示す。同図中、図10と同一部分には同一符号を付し、その説明を省略する。図11においては、抵抗R1～R4を削除して差動増幅器62がオープンループで構成されている点が異なっている。差動増幅器62の利得を充分安定に設計することにより、このような簡略化が可能となる。また、差動増幅器62の非反転出力端子とB点との間には、基板雑音除去回路58の出力とB点の雑音との位相不整合を解消するために、

位相制御回路 66 を備えている。

【0035】図 12 (A) は、図 9 に示すデジタル回路 54 が端子 57 a から出力する信号波形を示し、図 12 (B) はデジタル回路 54 の接地端子 57 b の電圧波形を示す。また、図 12 (C) はアナログ回路 52 の入力信号波形を示し、図 12 (D) はアナログ回路 52 の出力信号波形を示す。但し、アナログ回路 52 への影響を明確にするため、デジタル回路 54 のみ動作し、端子 57 c からアナログ回路 52 に信号を入力してはいない。

【0036】図 12 (A) ~ (D) の本発明の波形を図 2 (A) ~ (D) の従来の波形と比較すると、デジタル回路 54 の出力端子 57 a 及び接地端子 57 b の雑音は同じであるにも拘わらず、アナログ回路 52 へのクロストークが大幅に低減されていることが明らかである。

【0037】図 13 は、本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第 3 実施例の回路構成図を示す。同図中、図 9 と同一部分には同一符号を付す。図 13 において、半導体集積回路 50 には、アナログ回路 52 とデジタル回路 54 とが混載されている。このアナログ回路 52 とデジタル回路 54 間には半導体基板による基板抵抗 56 a, 56 b が存在する。アナログ回路 52 の電源端子 52 a, 接地端子 52 b は、パッケージやボンディングワイヤに相当するインダクタンス成分 L21, L22 を介して電源 VDD, グランド GND に接続されており、デジタル回路 54 の電源端子 54 a, 接地端子 54 b は、パッケージやボンディングワイヤに相当するインダクタンス成分 L23, L24 を介して電源 VDD, グランド GND に接続されている。アナログ回路 52 は、微小な入力信号をデジタル信号に変換する高感度のフロントエンド部である。

【0038】基板雑音除去回路 58 は、アナログ回路 52 の基準電位とデジタル回路 54 の基準電位を供給され、両基準電位に基づいて出力端子が接続された半導体基板の基板抵抗 56 a, 56 b の接続点である B 点における電位をフィードフォワード制御する。結合度制御回路 68 は、温度やアナログ回路の雑音等に応じて基板雑音除去回路 58 出力の B 点への結合度を制御する。即ち、温度による基板抵抗等の変動を相殺するように結合度の増減を行う。

【0039】これにより、アナログ回路 52 での基板雑音が少なくなるように、半導体基板の B 点の電位が制御される。基板への結合度が温度変動等により変化すると正常な雑音除去が不可能となるが、結合度を動的に制御することで、より安定に雑音を除去することが可能となる。

【0040】図 14 は、基板雑音除去回路 58 及び結合度制御回路 68 の第 1 実施例の回路構成図を示す。同図中、図 13 と同一部分には同一符号を付す。図 14 において、基板雑音除去回路 58 内のバイアス回路 60 の負

電極はアナログ回路 52 の接地端子 52 b に接続され、正電極は抵抗 R2 を介して差動増幅器 62 の反転入力端子に接続され、バイアス回路 61 の負電極はデジタル回路 54 の接地端子 54 b に接続され、正電極は抵抗 R1 を介して差動増幅器 62 の非反転入力端子に接続されており、差動増幅器 62 の反転入力端子及び非反転入力端子には所定電圧だけバイアスされた接地端子 52 b, 54 b それぞれの電位が供給される。

【0041】また、差動増幅器 62 の反転入力端子は抵抗 R3 を介して反転出力端子に接続され、非反転入力端子は抵抗 R4 を介してアナログ回路 52 の接地端子 52 b に接続され、差動増幅器 62 の非反転出力端子はコンデンサ 64 及び可変抵抗 69 を介して基板抵抗 56 a, 56 b の接続点である B 点に接続されている。

【0042】結合度制御回路 68 は、温度センサ 70 とコントローラ 71 と ROM 72 から構成されている。温度センサ 70 の検出温度がコントローラ 71 に供給され、コントローラ 71 は検出温度に応じた制御データを ROM 72 から読み出して可変抵抗 69 の抵抗値を可変制御して結合度を動的に制御する。可変抵抗 69 の抵抗値は、例えばセレクトタによりデジタル的に制御することができるものであるが、この他にも FET を抵抗として使用し、FET のゲートバイアスを制御することでアナログ的に制御することも可能である。これにより、デジタル回路 54 の接地端子 54 b における雑音の一定倍が B 点の基板電位に加算され、フィードフォワード制御が行われる。

【0043】上記実施例は、温度により基板抵抗等が変化して結合度が変化するのを補償するために、温度を検出して可変抵抗 69 の抵抗値を可変制御するものであるが、温度の代わりに基板抵抗値を検出し、この基板抵抗値に応じて可変抵抗 69 の抵抗値を可変制御する構成としても良い。

【0044】図 15 は、基板雑音除去回路 58 及び結合度制御回路 68 の第 2 実施例の回路構成図を示す。同図中、図 14 と同一部分には同一符号を付し、その説明を省略する。図 15 において、結合度制御回路 68 は、雑音検出回路 74 とコントローラ 75 と ROM 76 から構成されている。雑音検出回路 74 はアナログ回路 52 の出力信号に含まれるノイズのレベルを検出してコントローラ 71 に供給する。コントローラ 75 は検出ノイズレベルに応じた制御データを ROM 76 から読み出して可変抵抗 69 の抵抗値を可変制御して結合度を動的に制御する。即ち、検出ノイズレベルが大きい場合に結合度を増大するように制御し、基板雑音を低減する。

【0045】このように、アナログ回路 52 出力の雑音を検出することにより、制御は複雑になるものの、擬似的なフィードバック制御を行うことができ、きめ細かな制御が可能となる。なお、アナログ回路 52 へのアナログ信号入力中は、雑音検出が不可能であるため、例え

ば、電源立ち上げ後等に安定化を行って検出ノイズレベルに応じた制御データを読み出し、アナログ信号の入力中は上記制御データをホールドするとよい。

【0046】図16は、基板雑音除去回路58及び結合度制御回路68の第3実施例の回路構成図を示す。同図中、図14と同一部分には同一符号を付し、その説明を省略する。図16において、バイアス回路60の正電極は可変抵抗80を介して差動増幅器62の反転入力端子に接続され、バイアス回路61の正電極は可変抵抗82を介して差動増幅器62の非反転入力端子に接続されている。

【0047】また、差動増幅器62の反転入力端子は抵抗R3を介して反転出力端子に接続され、非反転入力端子は抵抗R4を介してアナログ回路52の接地端子52bに接続され、差動増幅器62の非反転出力端子はコンデンサ64及び抵抗65を介して基板抵抗56a、56bの接続点であるB点に接続されている。

【0048】結合度制御回路68は、温度センサ70とコントローラ77とアナログ変換回路78から構成されている。温度センサ70の検出温度がコントローラ77を介してアナログ変換回路78に供給され、アナログ変換回路78は検出温度をアナログの制御信号値に変換する。コントローラ77は、このアナログの制御信号値を可変抵抗80、82に供給し、可変抵抗80、82それぞれの抵抗値を可変制御することにより、結合度を動的に制御する。

【0049】図17は、本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第4実施例の回路構成図を示す。同図中、図5と同一部分には同一符号を付す。図17において、高抵抗基板を用いた半導体集積回路90には、アナログ回路92とデジタル回路94とが混載されている。このアナログ回路92とデジタル回路94間には半導体基板による高抵抗の基板抵抗96a、96bが存在する。

【0050】アナログ回路92の電源端子92a、接地端子92bは、パッケージやボンディングワイヤに相当するインダクタンス成分L31、L32を介して電源VDD、グランドGNDに接続されており、デジタル回路94の電源端子94a、接地端子94bは、パッケージやボンディングワイヤに相当するインダクタンス成分L33、L34を介して電源VDD、グランドGNDに接続されている。アナログ回路92は、微小な入力信号をデジタル信号に変換する高感度のフロントエンド部である。なお、図中では簡略化のためにアナログ回路92とデジタル回路94の接続関係は省略している。

【0051】基板雑音除去回路98は、図6または図7の基板雑音除去回路38と同様のものであり、アナログ回路92の基準電位（例えば所定電圧だけバイアスされた接地端子92b電位）を供給され、この基準電位に基づいて出力端子が接続された高抵抗の基板抵抗96a、

96bの接続点であるC点における電位をフィードバック制御する。これによって、アナログ回路92での基板雑音が少なくなるように、半導体基板のA点の電位が制御される。なお、基板雑音除去回路98の代わりに、図9に示す基板雑音除去回路58と同様のものを用いても良いことはもちろんである。

【0052】図18は、高抵抗基板を用いた半導体集積回路の第1実施例のデバイス構造を表す断面図を示す。同図中、高抵抗基板100として、例えばドーピングの低減により、 $100 [\Omega \cdot \text{cm}]$ 以上の抵抗率としたP型の半導体基板を用いる。高抵抗基板100上にはN型ウエル102A、102Bが形成され、N型ウエル102A、102B内にP型ウエル104A、104Bが形成されて、トリプルウエル構造とされている。そして、N型ウエル102A及びP型ウエル104A内にアナログ回路92が形成され、N型ウエル102B及びP型ウエル104B内にデジタル回路94が形成される。

【0053】高抵抗基板100をMOSトランジスタのバルクとして使用すると、バルク電位が変動しやすくラッチアップが生じやすいため、トリプルウエル構造とすることにより、N型ウエル102A、102B及びP型ウエル104A、104Bの電位を安定化している。

【0054】図19は、高抵抗基板を用いた半導体集積回路の第2実施例のデバイス構造を表す断面図を示す。同図中、高抵抗基板110上に絶縁体膜112を形成し、その上にP型ウエル114A、114Bが形成され、P型ウエル114A、114B内にN型ウエル116A、116Bが形成されて、SOI (Silicon on Insulator) 構造とされている。そして、P型ウエル114A及びN型ウエル116A内にアナログ回路92が形成され、P型ウエル114B及びN型ウエル116B内にデジタル回路94が形成される。この実施例では、SOI構造による高アイソレーション特性に加えて、高抵抗基板110を経由するクロストークの低減を見込むことができる。

【0055】図20は、高抵抗基板を用いた半導体集積回路の第3実施例のデバイス構造を表す断面図を示す。同図中、高抵抗基板120上に絶縁体膜122を形成し、その上にP型ウエル124A、N型ウエル126A、P型ウエル124B、N型ウエル126Bが形成されSOI構造とされている。そして、P型ウエル124A、N型ウエル126A内にアナログ回路92が形成され、P型ウエル124B、N型ウエル126B内にデジタル回路94が形成される。この実施例では、半導体層を薄くすることで、完全空乏型のMOSトランジスタを実現でき、SOI構造のMOSトランジスタとして理想的な特性を実現できる。

【0056】図21は、高抵抗基板を用いた半導体集積回路の第4実施例のデバイス構造を表す断面図を示す。同図中、高抵抗基板130上にN型ウエル132Aが形

成され、N型ウエル132A内にP型ウエル134Aが形成されて、トリプルウエル構造とされている。これと共に、高抵抗基板130上に絶縁体膜136を形成し、その上にP型ウエル138B、N型ウエル140Bが形成されSOI構造とされている。そして、P型ウエル132A、N型ウエル134A内にアナログ回路92が形成され、P型ウエル138B、N型ウエル140B内にデジタル回路94が形成される。

【0057】この実施例では、デジタル回路94のみSOI構造とし、アナログ回路92はトリプルウエル構造として高抵抗基板130上に作成している。このような部分的なSOI構造は、例えばSIMOX (Separation by Implanted Oxygen) 的技術を適用することにより得られる。SOI構造上のMOSトランジスタは特性のばらつきが大きくモデルも複雑であるために、高感度のアナログ回路92では使用困難であるのに対し、上記構成ではアナログ回路92にトリプルウエル構造で通常のMOSトランジスタを形成できるので、特性の向上を図ることができる。

【0058】なお、上記実施例では、デジタル回路とアナログ回路が混在する半導体集積回路について述べたが、デジタル回路とアナログ回路間のクロストークが最も影響が大きいだけであり、デジタル回路のみ、アナログ回路のみの半導体集積回路についても同様の効果が得られることは言うまでもなく、上記実施例に限定されない。

【0059】なお、デジタル回路34が請求項記載の第1の回路ブロックに対応し、アナログ回路32が第2の回路ブロックに対応する。

【0060】(付記1) 複数の回路ブロックを1つの半導体基板上に共通に形成した半導体集積回路において、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御する基板雑音除去回路を有することを特徴とする半導体集積回路。(1)

(付記2) 請求項1記載の半導体集積回路において、前記基板雑音除去回路は、前記第2の回路ブロックからの基準電位に基づいて前記半導体基板の電位をフィードバック制御することを特徴とする半導体集積回路。

(2)

(付記3) 請求項1記載の半導体集積回路において、前記基板雑音除去回路は、前記第1の回路ブロックからの第1の基準電位と前記第2の回路ブロックからの第2の基準電位との誤差に基づいて前記半導体基板の電位をフィードフォワード制御することを特徴とする半導体集積回路。(3)

(付記4) 請求項3記載の半導体集積回路において、前記基板雑音除去回路の出力を前記半導体基板に供給する結合度を制御する結合度制御回路を有することを特徴

とする半導体集積回路。(4)

(付記5) 請求項1乃至4のいずれかに記載の半導体集積回路において、前記半導体基板は、高抵抗基板であることを特徴とする半導体集積回路。(5)

(付記6) 請求項4記載の半導体集積回路において、前記結合度制御回路は、温度センサを有し、前記温度センサの検出温度に応じて前記結合度を制御することを特徴とする半導体集積回路。

【0061】(付記7) 請求項4記載の半導体集積回路において、前記結合度制御回路は、前記第2の回路ブロックの出力に含まれる雑音を検出する雑音検出回路を有し、前記雑音検出回路の検出値に応じて前記結合度を制御することを特徴とする半導体集積回路。

【0062】(付記8) 付記5記載の半導体集積回路において、前記半導体基板は、抵抗率が $100[\Omega \cdot \text{cm}]$ 以上であることを特徴とする半導体集積回路。

【0063】(付記9) 付記5記載の半導体集積回路において、前記半導体基板上に、トリプルウエル構造で前記第1、第2の回路ブロックを構成したことを特徴とする半導体集積回路。

【0064】(付記10) 付記5記載の半導体集積回路において、前記半導体基板上に、SOI構造で前記第1、第2の回路ブロックを構成したことを特徴とする半導体集積回路。

【0065】(付記11) 請求項1乃至10のいずれかに記載の半導体集積回路において、前記第1の回路ブロックは、デジタル回路であり、前記第2の回路ブロックは、アナログ回路であることを特徴とする半導体集積回路。

【0066】

【発明の効果】上述の如く、請求項1に記載の発明は、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御する基板雑音除去回路を有することにより、半導体基板を介したクロストークを低減することができる。即ち、第1の回路ブロックのグランドまたは電源に発生した雑音を検知し、それを相殺する成分で半導体基板の電位を能動的に安定化することによって、第2の回路ブロックへのクロストークを抑圧することができ、回路ブロック間の距離を大きく取る必要がなく、チップ面積及びコストの増大を生じることがない。

【0067】請求項2に記載の発明では、基板雑音除去回路は、前記第2の回路ブロックからの基準電位に基づいて前記半導体基板の電位をフィードバック制御することにより、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御することが可能となる。

【0068】請求項3に記載の発明は、基板雑音除去回

路は、前記第1の回路ブロックからの第1の基準電位と前記第2の回路ブロックからの第2の基準電位との誤差に基づいて前記半導体基板の電位をフィードフォワード制御することにより、雑音を発生する第1の回路ブロックのグランドまたは電源の雑音が、他の第2の回路ブロックに漏れ込むのを相殺するように半導体基板の電位を能動的に制御することが可能となる。

【0069】請求項4に記載の発明は、基板雑音除去回路の出力を前記半導体基板に供給する結合度を制御する結合度制御回路を有することにより、結合度の変化に対応して結合度を能動的に制御してクロストークを低減することができる。

【0070】請求項5に記載の発明では、半導体基板を、高抵抗基板とすることにより、更にクロストークを低減することができる。

【0071】付記6に記載の発明では、結合度制御回路は、温度センサを有し、前記温度センサの検出温度に応じて前記結合度を制御することにより、温度変動による結合度の変化に対応して結合度を能動的に制御できる。

【0072】付記7に記載の発明では、結合度制御回路は、前記第2の回路ブロックの出力に含まれる雑音を検出する雑音検出回路を有し、前記雑音検出回路の検出値に応じて前記結合度を制御することにより、雑音によって結合度の変化を検出し、これに対応して結合度を能動的に制御できる。

【0073】付記11に記載の発明では、第1の回路ブロックは、デジタル回路であり、第2の回路ブロックは、アナログ回路であることにより、アナログ回路とデジタル回路間の距離を大きく取る必要がなく、チップ面積及びコストの増大が生じることがなく、容易にアナログ回路とデジタル回路が混在する半導体集積回路を実現することができる。

【図面の簡単な説明】

【図1】従来のアナログ・デジタル混在の半導体集積回路の一例の回路構成図である。

【図2】図1の回路各部の信号波形図である。

【図3】CMOS半導体集積回路のデバイス構造を表す断面図である。

【図4】図3の等価回路図である。

【図5】本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第1実施例の回路構成図である。

【図6】基板雑音除去回路38の第1実施例の回路構成図である。

【図7】基板雑音除去回路38の第2実施例の回路構成図である。

【図8】図5の回路各部の信号波形図である。

【図9】本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第2実施例の回路構成図である。

【図10】基板雑音除去回路58の第1実施例の回路構成図である。

【図11】基板雑音除去回路58の第2実施例の回路構成図である。

【図12】図9の回路各部の信号波形図である。

【図13】本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第3実施例の回路構成図である。

【図14】基板雑音除去回路58及び結合度制御回路68の第1実施例の回路構成図である。

【図15】基板雑音除去回路58及び結合度制御回路68の第2実施例の回路構成図である。

【図16】基板雑音除去回路58及び結合度制御回路68の第3実施例の回路構成図である。

【図17】本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第4実施例の回路構成図である。

【図18】高抵抗基板を用いた半導体集積回路の第1実施例のデバイス構造を表す断面図である。

【図19】高抵抗基板を用いた半導体集積回路の第2実施例のデバイス構造を表す断面図である。

【図20】高抵抗基板を用いた半導体集積回路の第3実施例のデバイス構造を表す断面図である。

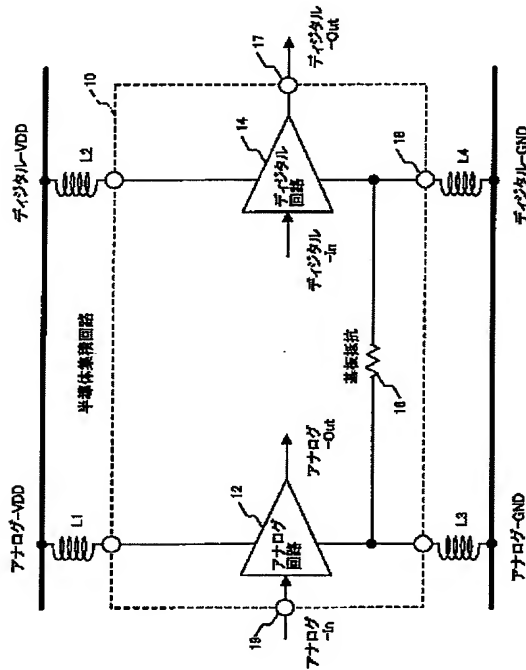
【図21】高抵抗基板を用いた半導体集積回路の第4実施例のデバイス構造を表す断面図である。

【符号の説明】

- 30 半導体集積回路
- 32 アナログ回路
- 32a, 34a 電源端子
- 32b, 34b 接地端子
- 34 デジタル回路
- 36a, 36b 基板抵抗
- 38 基板雑音除去回路
- 40 バイアス回路
- 42 演算増幅器
- 44, 64 コンデンサ
- 58 基板雑音除去回路
- 62 差動増幅器
- 65 抵抗
- 68 結合度制御回路
- 74 雑音検出回路

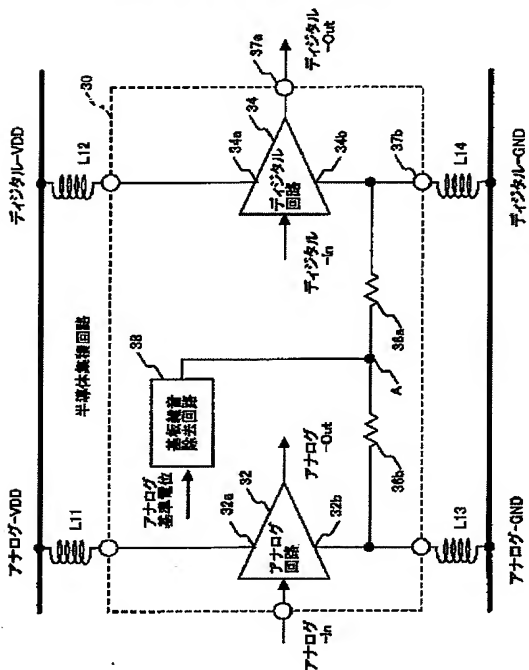
【図1】

従来のアナログ・デジタル混在の半導体集積回路の一例の回路構成図



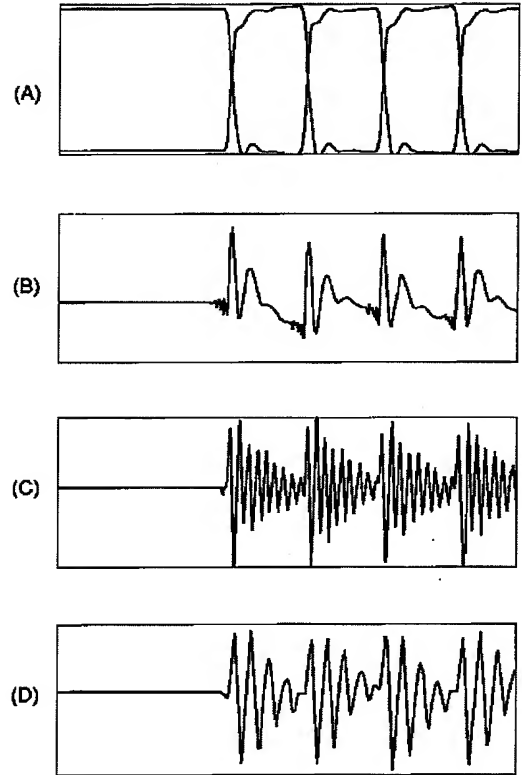
【図5】

本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第1実施例の回路構成図



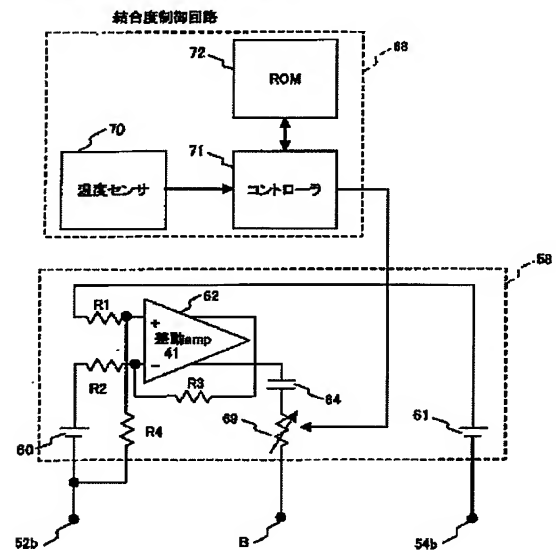
【図2】

図1の回路各部の信号波形図



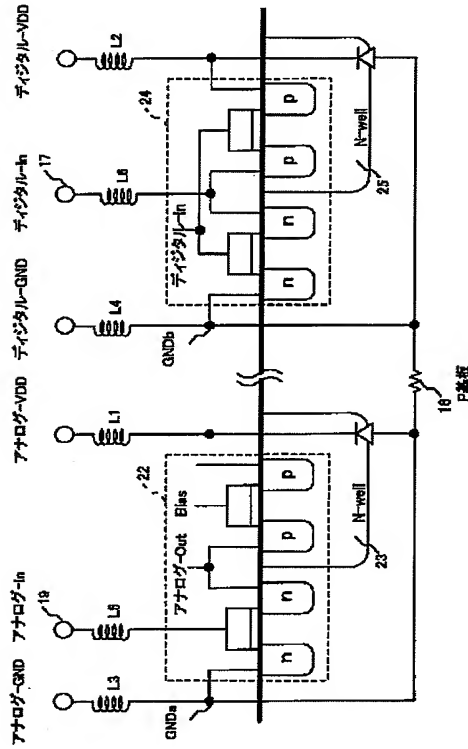
【図14】

基板雑音除去回路58及び結合度制御回路88の第1実施例の回路構成図



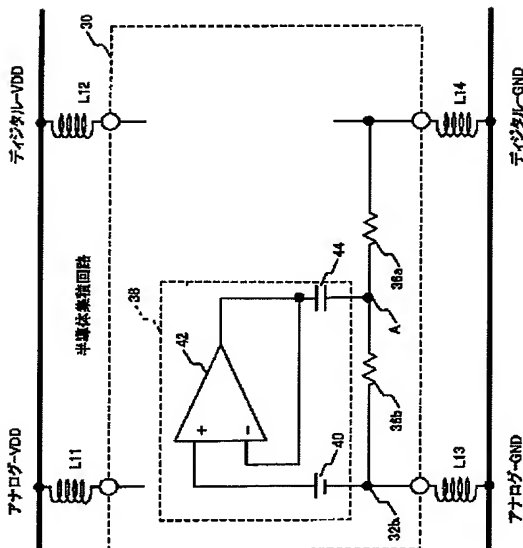
【図3】

CMOS半導体集積回路のデバイス構造を表す断面図



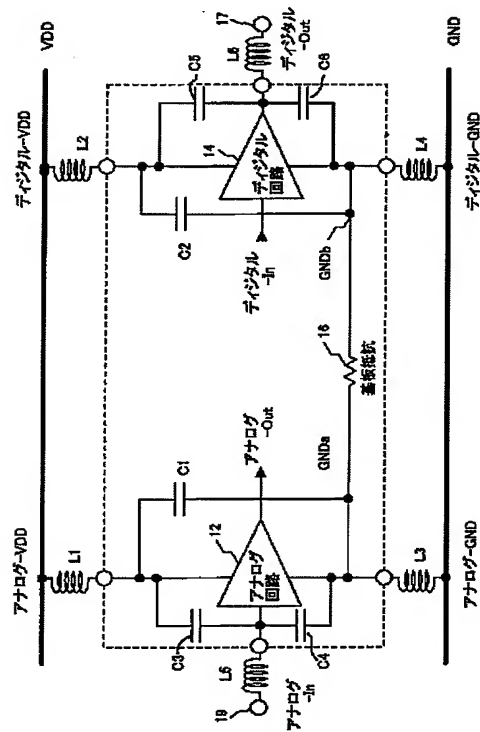
【図6】

基板雑音除去回路38の第1実施例の回路構成図



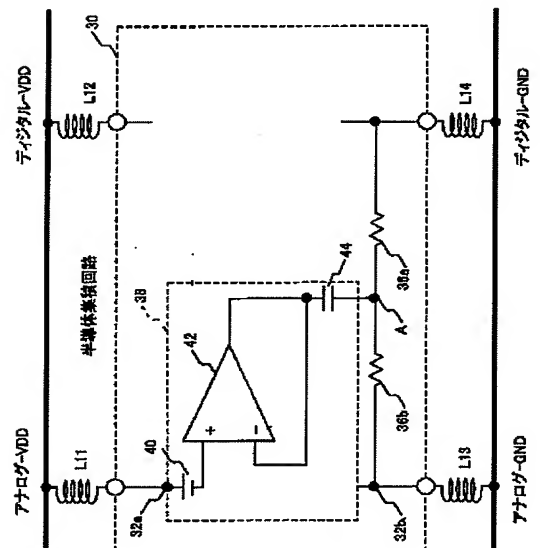
【図4】

図3の等価回路図



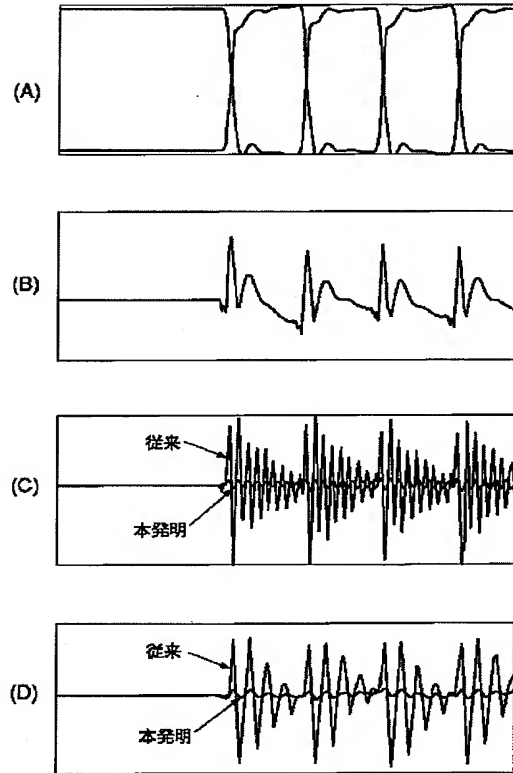
【図7】

基板雑音除去回路38の第2実施例の回路構成図



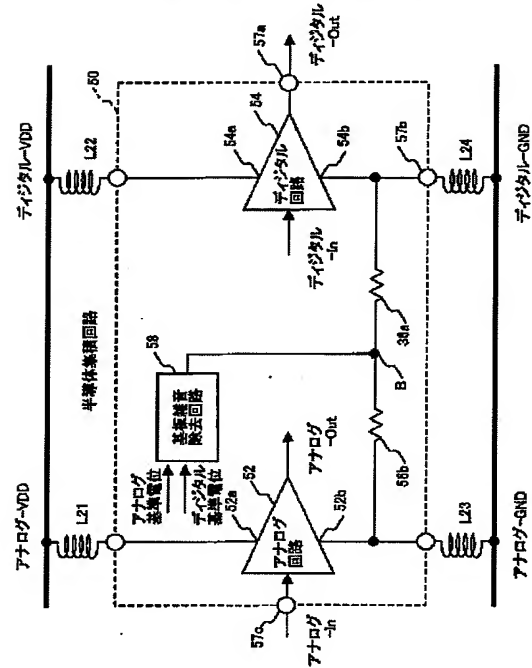
【図 8】

図5の回路各部の信号波形図



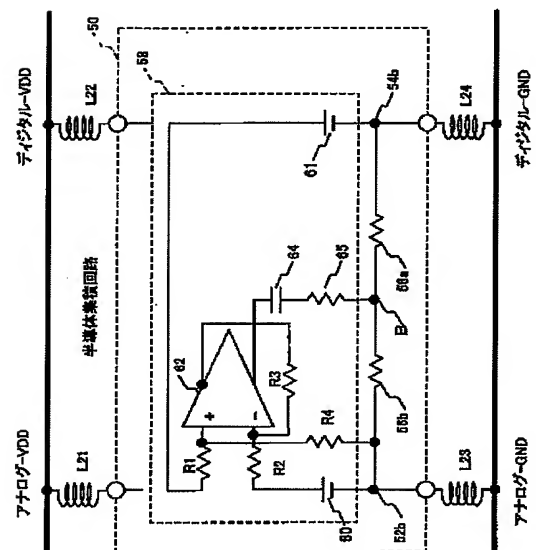
【図 9】

本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第2実施例の回路構成図



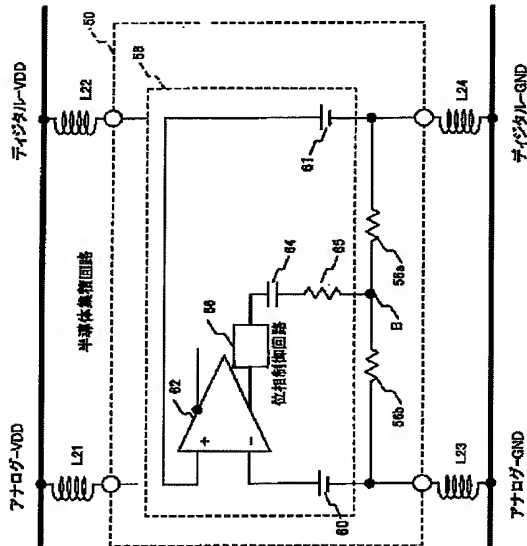
【図 10】

基板雑音除去回路58の第1実施例の回路構成図



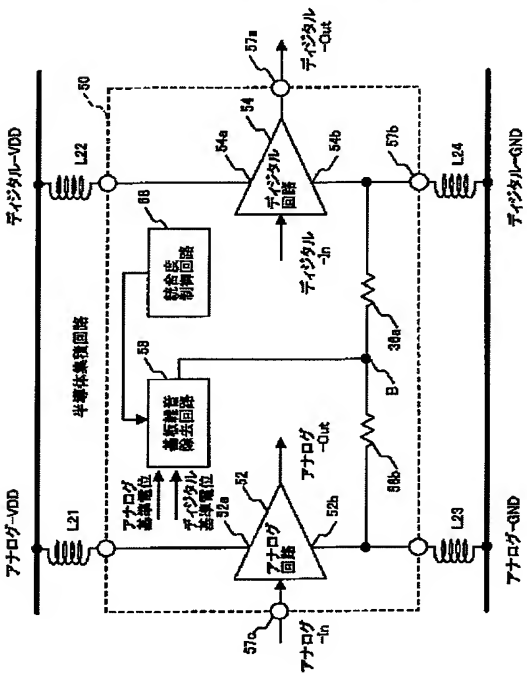
【図11】

基板雑音除去回路58の第2実施例の回路構成図



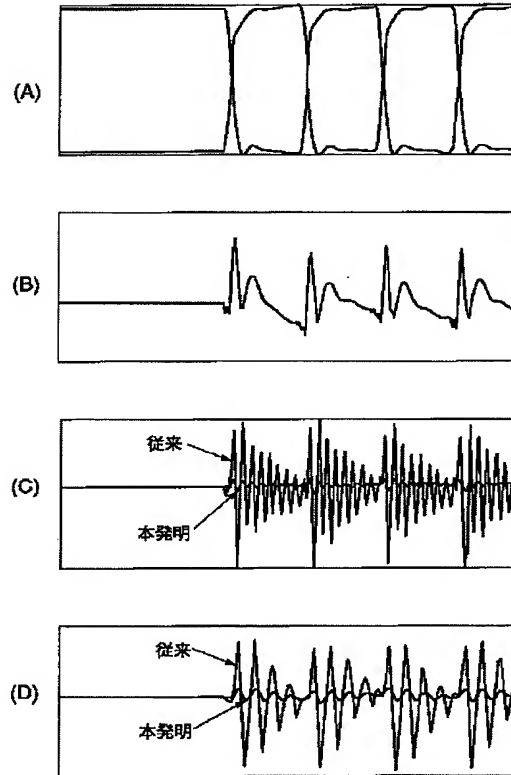
【図13】

本発明のアナログ回路とデジタル回路が混在する半導体集積回路の第3実施例の回路構成図



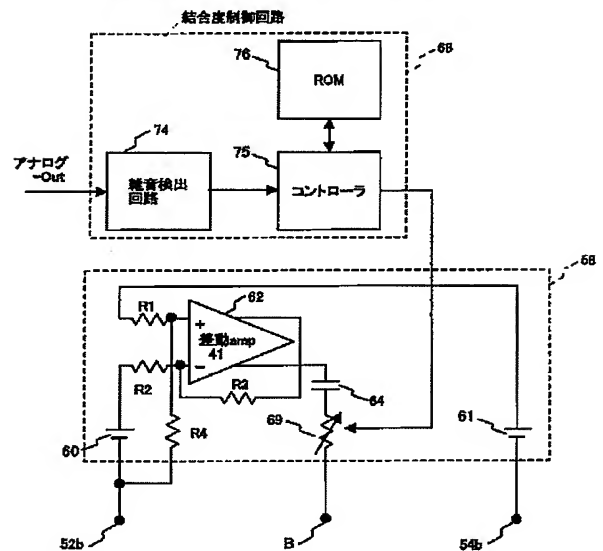
【図12】

図9の回路各部の信号波形図



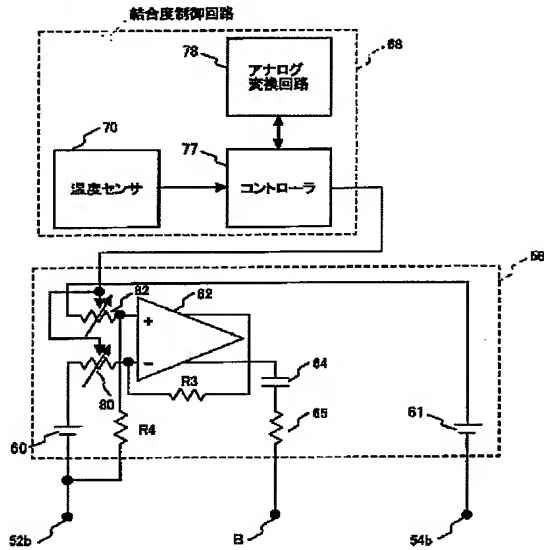
【図15】

基板雑音除去回路58及び結合度制御回路88の第2実施例の回路構成図



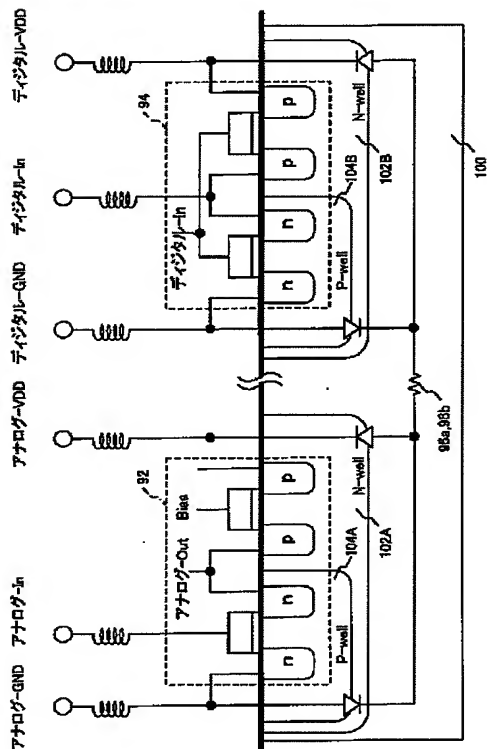
【図 16】

基板雑音除去回路58及び結合度制御回路68の
第3実施例の回路構成図



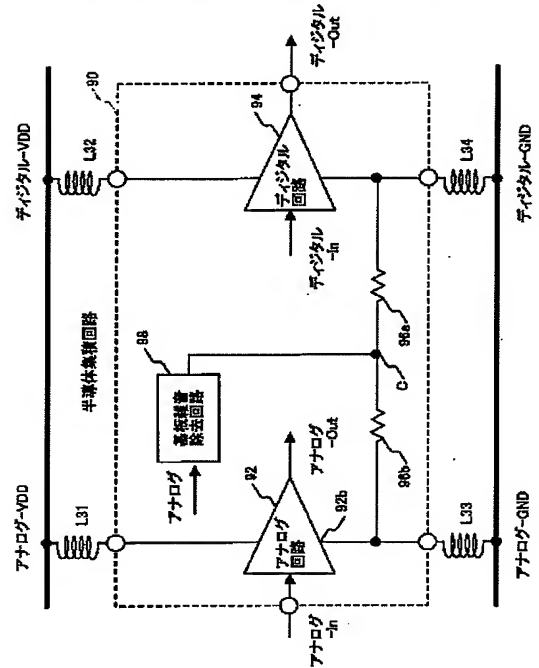
【図 18】

高抵抗基板を用いた半導体集積回路の
第1実施例のデバイス構造を表す断面図



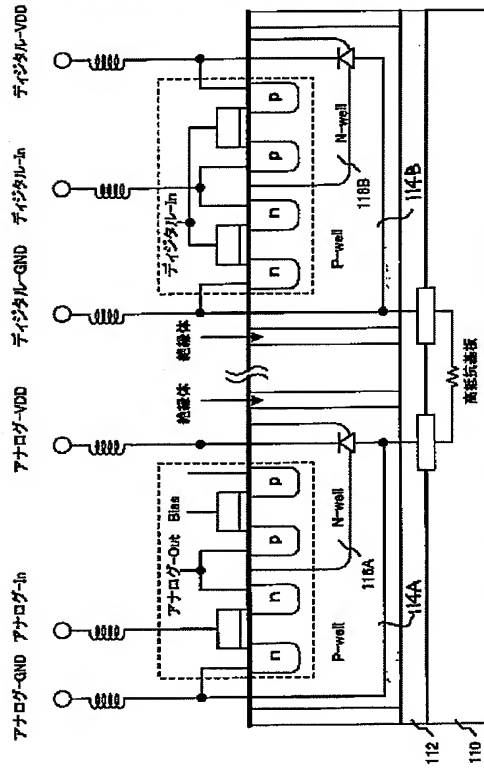
【図 17】

本発明のアナログ回路とディジタル回路が混在する半導体集積回路の第4実施例の回路構成図



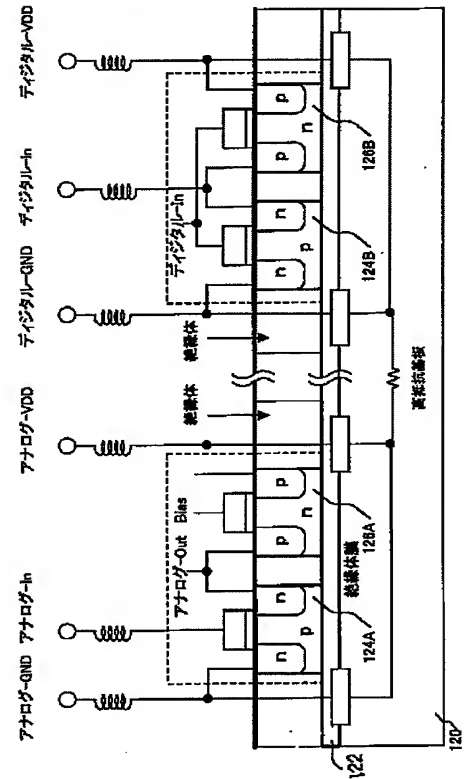
【図 19】

高抵抗基板を用いた半導体集積回路の
第2実施例のデバイス構造を表す断面図



【図 20】

高抵抗基板を用いた半導体集積回路の
第3実施例のデバイス構造を表す断面図



高抵抗基板を用いた半導体集積回路の
第4実施例のデバイス構造を表す断面図

